

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-012716

(43)Date of publication of application : 16.01.1998

(51)Int.Cl.

H01L 21/76
H01L 21/3065
H01L 27/04
H01L 21/822

(21)Application number : 08-159397

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 20.06.1996

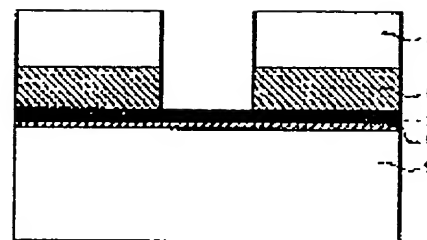
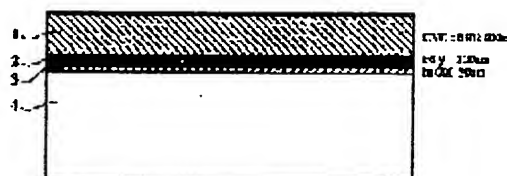
(72)Inventor : NARUSE HIROSHI
SUGAYA HIROYUKI

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the stress concentration to trench corners by a simple method, without increasing the cost by annealing a semiconductor substrate at a specified temp. or higher in a nonoxidative atmosphere after forming grooves into the substrate, to round openings of the grooves and corners of their bottoms.

SOLUTION: Using a CVD SiO₂ film 4 as a mask, a thermal oxide film 2, a poly-Si film 3 and a semiconductor substrate 1 are anisotropically etched by RIE, etc., to form grooves 6. The wafer is dipped on a wet etching liq. such as NH₄F-HF soln. held at room temp. to retrogress the film 2. The substrate is moved in a diffusion furnace and heat treated at 800deg.C or more in a H₂ atmosphere therein to round the corners 6a, 6b of the grooves 6. Thus, the stress concn. on the corners 6a, 6b is reduced and crystal defects such as dislocation is suppressed.



LEGAL STATUS

[Date of request for examination] 08.11.2000

[Date of sending the examiner's decision of rejection] 26.11.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3414590

[Date of registration] 04.04.2003

[Number of appeal against examiner's decision of rejection] 2002-24919

[Date of requesting appeal against examiner's] 26.12.2002

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-12716

(43) 公開日 平成10年(1998) 1月16日

| (51) Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|---------------------------|------|--------|---------------|--------|
| H 0 1 L 21/76 | | | H 0 1 L 21/76 | L |
| 21/3065 | | | 21/302 | J |
| 27/04 | | | 27/04 | C |
| 21/822 | | | | |

審査請求 未請求 請求項の数 4 O L (全 5 頁)

(21) 出願番号 特願平8-159397

(22) 出願日 平成 8 年 (1996) 6 月 20 日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 成瀬 宏

神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝多摩川工場内

(72) 発明者 菅谷 弘幸

神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝多摩川工場内

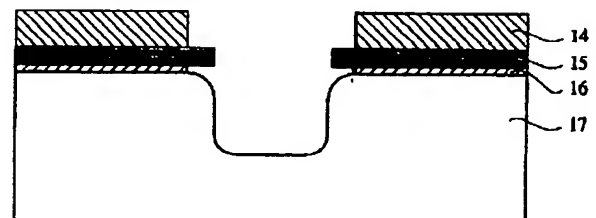
(74) 代理人 弁理士 外川 英明

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 簡単な方法でコストがかさむことなく、かつトレンチコーナー部への応力集中を低減することが可能な半導体装置の製造方法を提供する。

【解決手段】 半導体基板 1 に溝 6 を形成し、その後、半導体基板 1 を 800℃以上の非酸化性雰囲気中でアニールすることで溝の角部 6 a、6 b を丸める。



BEST AVAILABLE COPY

1

【特許請求の範囲】

【請求項1】 半導体基板に溝を形成する工程と、その後、前記半導体基板を800℃以上の非酸化性雰囲気中でアニールすることで前記溝の開口部及び底部の角を丸める工程とを具備することを特徴とする半導体装置の製造方法。

【請求項2】 前記非酸化性雰囲気は酸化性ガスの分圧が10ppb以下であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 半導体基板上に第1の絶縁膜、第2の絶縁膜、第3の絶縁膜をそれぞれこの順に堆積する工程と、前記第3の絶縁膜を貫通する孔を設ける工程と、この孔をマスクとして、前記第1の絶縁膜、第2の絶縁膜を貫通し、一部前記半導体基板まで及ぶ溝を設ける工程と、前記半導体基板を800℃以上であり、酸化性ガスの分圧が10ppb以下の非酸化性雰囲気中でアニールすることで前記溝の開口部及び底部の角を丸める工程と、前記溝中に誘電体或は導電体を埋め込む工程とを具備することを特徴とする半導体装置の製造方法。

【請求項4】 半導体基板上に第1の絶縁膜、第2の絶縁膜、第3の絶縁膜をそれぞれこの順に堆積する工程と、前記第3の絶縁膜を貫通する孔を設ける工程と、この孔をマスクとして、前記第1の絶縁膜、第2の絶縁膜を貫通し、一部前記半導体基板まで及ぶ第1の溝を設ける工程と、前記第1の溝表面、及び前記第3の絶縁膜表面に第4の絶縁膜を堆積させる工程と、前記第1の溝の底面に、前記第4の絶縁膜を貫通するように第2の溝を形成する工程と、前記第4の絶縁膜を除去した後、前記半導体基板を800℃以上であり、酸化性ガスの分圧が10ppb以下の非酸化性雰囲気中でアニールすることで前記第1の溝の開口部及び底部の角、及び前記第2の溝の開口部及び底部の角を丸める工程と、少なくとも前記第1の溝及び前記第2の溝の中に絶縁体を埋め込む工程とを具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に関し、特にトレンチを利用した半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、半導体装置の高集積化を目的として、半導体基板にトレンチを形成することにより、素子密度を向上させる技術が実用化されてきた。例えばトレンチキャパシタ技術やトレンチ素子分離技術、UMOS

2

FET技術などがその代表例である。

【0003】このようなトレンチを利用した素子を形成する場合、半導体基板を選択的にエッチングすることにより溝が形成されるが、その後の酸化、拡散工程などで凹凸コーナー部分に応力集中が起こり、半導体基板に転位などの結晶欠陥が発生するという問題があった。これを回避する技術として、半導体基板の異方性エッチング後(通常Reactive-Ion-Etchingで行う)にトレンチ内部をウェットエッチングする工程、もしくは等方性ドライエッチングと酸化工程とを組み合わせる工程を用いて異方性エッチングで生じたダメージを除去するとともにコーナー部をある程度丸めることにより、その後の酸化、拡散工程などにおけるトレンチコーナー部への応力集中を低減させていた。

【0004】

【発明が解決しようとする課題】しかしながら、この技術を用いた場合、エッチングと酸化を行うことにより、トレンチパターンが少なくとも片側で0.1μm～0.2μmあるいはそれ以上広がるため、高集積化に対する限界がある。また、コーナー丸めを行うために工程数が増え、コストが大きくなるという問題もある。

【0005】本発明は上記問題点に鑑み、簡単な方法でコストがかさむことなく、かつトレンチコーナー部への応力集中を低減することが可能な半導体装置の製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】上記問題点を解決するために、本発明の半導体装置の製造方法では、半導体基板に溝を形成する工程と、その後、前記半導体基板を800℃以上の非酸化性雰囲気中でアニールすることで前記溝の開口部及び底部の角を丸める工程とを具備することを特徴とする。

【0007】本発明は、半導体基板に形成された溝の角部が、非酸化性雰囲気中でアニールすることにより丸まるという新規な物理現象を利用して行われるものである。この現象は温度が高いほど、圧力が低いほど、また不純物ガスが少ないほど顕著である。よって、これらの条件を最適化することにより任意の曲率半径を持つ丸め形状を得ることが可能である。

【0008】

【発明の実施の形態】以下に、本発明の第1の実施例である半導体装置の製造方法を図1ないし図5を用いて説明する。まず、図1に示すように半導体基板1上を1000℃程度の雰囲気中で約15分間熱酸化することで、熱酸化膜2を30nm形成する。次にシラン(SiH₄)雰囲気中で約650℃、約3分間処理することで、この熱酸化膜2上に膜厚100nmのアンドープPoly Si膜3を堆積させる。その後、650～750℃の減圧雰囲気(40Pa程度)下でTEOS(Tetraethoxysilane)を40分間熱分解することでCVDSiO₂膜4を

40

50

膜厚800nmで形成する。

【0009】次に図2に示すように、フォトリソグラフィ工程により膜厚 nm、開口径nmの開口部を有する、東京応化製のポジレジストよりなるレジストパターン5をg線ステッパにより形成する。この後このレジストパターン5をマスクとしてCVD SiO₂膜4を、SF₆、CHF₃、Heの混合ガスをエッチングガスとし（流量をそれぞれ7sccm、4.0sccm、6.0sccmとする）、パワー600W、チャンバ内圧力186Paの条件で5分程度エッチングする。

【0010】この後、図3に示すように、アッシャーによりレジストパターン5を灰化し、除去する。レジストパターン5除去後、前の工程でエッチングによりパターン化されたCVD SiO₂膜4をマスクとして、熱酸化膜2、Poly Si膜3及び半導体基板1をRIE (Reactive Ion Etching) などにより異方性エッチングし、溝6を形成する。このときのエッチング条件は、エッチングガスとしてSF₆、SiCl₄、N₂、Arの混合ガスを用いる。ガス流量はそれぞれ5sccm、16sccm、5sccm、20sccmである。また、RFパワーは800W、チャンバ内圧力は2Paである。

【0011】溝6形成後、図4に示すように室温に保持したNH₄F-HF溶液などのウェットエッチング液中に半導体基板1を15秒程度浸漬させることで熱酸化膜2を20nm程度後退させる。その後、半導体基板1を拡散炉中に移動し、炉内をH₂雰囲気とした状態で950℃、10Torr、60sec程度の熱処理を行う。これにより、溝6の角部6a、6bが丸まる。丸めのエッチング量は nmである。このときの角部丸めの条件はガス雰囲気について、O₂やH₂Oなどの酸化性ガスの分圧が小さいほど、具体的にはこれらの酸化性ガス成分が10ppb以下にするのが望ましい。また、熱処理温度が高いほど、熱処理時間が長いほど、及び熱処理雰囲気の圧力が低いほど、角部の丸まり効果が大きくなることがわかっている。このことはUSP5,084,408に詳細に説明されている。この角部の丸めを行わなかった場合、その後の熱処理工程で溝全面に酸化膜を形成する場合、この角部に対応する酸化膜に応力が集中し、転位などの結晶欠陥が酸化膜に発生し、酸化膜の信頼性あるいは耐圧が低下する。

【0012】角部丸めを行った後、図5に示すように、700℃のO₃雰囲気中でTEOS (tetraethoxysilane) を熱分解することで、溝6にSiO₂膜7を形成し、溝6を埋め込む。この状態ではアンドープPoly Si膜3上にSiO₂膜7が残存しているために、CMP技術を用いてアンドープPoly Si膜3が露出するまでSiO₂膜7をポリッシングする。

【0013】以上、本発明の第1の実施例では、上記実施例中に示した熱処理条件に基づいて基板を熱処理するだけで基板に形成されたトレンチの角部を丸めることが

可能である。それ以外にも(1) パターン変換差がほとんどない状態で角部を丸めることが可能である。(2) 条件の最適化により任意の曲率半径で角部丸めを行える。

(3) 角部丸めを行った後も角部周辺の半導体基板を良好な結晶状態に維持できる。(4) 角部丸めにより角部の応力集中を低減し、転位等の結晶欠陥発生を抑制できる。などの効果が期待できる。

【0014】次に本発明の第2の実施例について図6ないし図13を用いて説明する。まず図6に示すように半導体基板101表面を熱酸化することで半導体基板101表面に第1の絶縁膜102を15nmの厚さに形成する。続いてこの第1の絶縁膜102上にポリシリコン、SiO₂をこの順に堆積し、400nmの第2の絶縁膜103、300nmの第3の絶縁膜104を形成する。

【0015】第3の絶縁膜104形成後、図7に示すように第3の絶縁膜104上の素子形成領域に対応する部分にレジストが残るようにリソグラフィ工程によりパターン形成を行う。そして露出した第3の絶縁膜104をエッチングし、第2の絶縁膜103が露出するようにする。この後、レジストを除去しエッチングされた第3の絶縁膜104をマスクとして第1の絶縁膜102、第2の絶縁膜103、及び半導体基板101をエッチングし、半導体基板101の表面からの深さ nmまで掘り下げた第1の溝105を形成する。

【0016】第1の溝105形成後、図8に示すように、第1の溝105表面及び第3の絶縁膜104表面にTEOS (tetraethoxysilane) のCVDによる第4の絶縁膜106を400nmの厚さに形成する。

【0017】この後、図9に示すように素子領域以外の部分に対応する第4の絶縁膜106の一部及びその一部に対応する半導体基板101をエッチングし、第2の溝107を形成する。

【0018】第2の溝107形成後、NH₄F溶液に120秒程度半導体基板101を浸すことで第4の絶縁膜106を除去し、半導体基板101表面及び第1、第2、第3の絶縁膜102、103、104の表面を露出させ、かつ第1、第3の絶縁膜102、104を約20nm後退させる。その後、半導体基板1を拡散炉中に移動し、炉内をH₂雰囲気とした状態で950℃、10Torrの熱処理を行う。これにより、第2の溝107の角部107a、107bが丸まる。丸めのエッチング量は50nmである。このときの角部丸めの条件は第1の実施例と同様、ガス雰囲気について、O₂やH₂Oなどの酸化性ガスの分圧が小さいほど、具体的にはこれらの酸化性ガス成分が10ppb以下にするのが望ましい。角部107a、107bを丸めた後、第2の溝107表面を含む半導体基板101表面を熱酸化し、第2の溝107表面を含む半導体基板101表面に熱酸化膜108を形成する。

【0019】熱酸化膜108形成後、図11に示すよう

にTEOSのO₃ 雰囲気での熱分解によりカバレッジ効果の著しいSiO₂膜109を、第2の溝107を埋め込むように形成する。

【0020】SiO₂膜109形成後、SiO₂膜109表面にPolySi膜110を形成し、図12に示すように、SiO₂膜109上の第1の溝105に対応する部分にPolySi膜110が残るようにリソグラフィ工程、

プラズマエッチングを施す。
【0021】最後に、図13に示すように、第1の絶縁膜102、SiO₂膜109のうち第1の溝105内のSiO₂膜109、及び第2の溝107内のSiO₂膜109のみを残すように第2、第3の絶縁膜103、104、SiO₂膜109、PolySi膜110をCMP (chemical mechanical polishing) により除去する。このとき第2の絶縁膜103及びPolySi膜110がCMPのストップとなる。

【0022】以上、第2の実施例によればBiCMOSにおけるBipolar-CMOS間の素子分離において第1の実施例と同様、上記実施例中に示した熱処理条件に基づいて基板を熱処理するだけで基板に形成されたトレンチの角部を丸めることが可能である。それ以外にも(1) パターン変換差がほとんどない状態で角部を丸めることが可能である。(2) 条件の最適化により任意の曲率半径で角部丸めを行える。(3) 角部丸めを行った後も角部周辺の半導体基板を良好な結晶状態に維持できる。(4) 角部丸めにより角部の応力集中を低減し、転位等の結晶欠陥発生を抑制できる。などの効果が期待できる。

【0023】

【発明の効果】本発明によれば、非常に簡略化された方法でトレンチ角部の丸めを行うことが可能である。

【図面の簡単な説明】

【図1】本発明の第1の実施例の製造工程図

【図2】本発明の第1の実施例の製造工程図

【図3】本発明の第1の実施例の製造工程図

【図4】本発明の第1の実施例の製造工程図

【図5】本発明の第1の実施例の製造工程図

【図6】本発明の第2の実施例の製造工程図

【図7】本発明の第2の実施例の製造工程図

【図8】本発明の第2の実施例の製造工程図

【図9】本発明の第2の実施例の製造工程図

【図10】本発明の第2の実施例の製造工程図

【図11】本発明の第2の実施例の製造工程図

【図12】本発明の第2の実施例の製造工程図

【図13】本発明の第2の実施例の製造工程図

【符号の説明】

1、101 半導体基板

2、108 熱酸化膜

3、110 PolySi膜

4 CVD SiO₂膜

5 レジストパターン

6 溝

6a、6b、107a、107b 角部

7、109 SiO₂膜

102 第1の絶縁膜

103 第2の絶縁膜

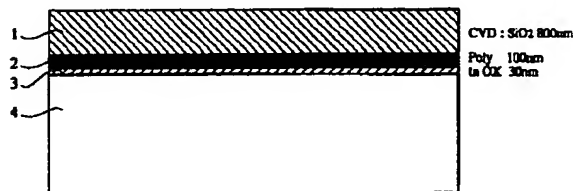
104 第4の絶縁膜

105 第1の溝

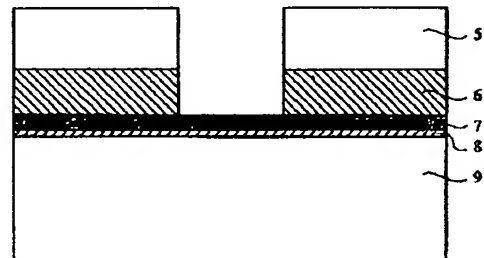
106 第4の絶縁膜

107 第2の溝

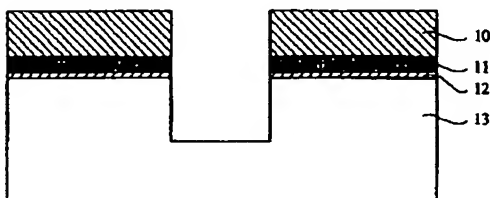
【図1】



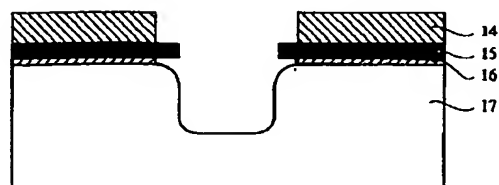
【図2】



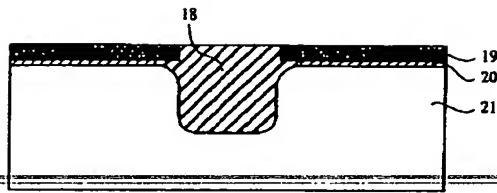
【図3】



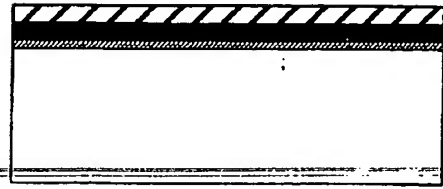
【図4】



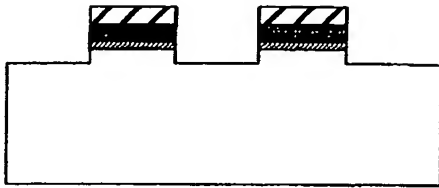
【図5】



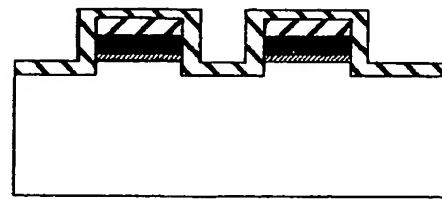
【図6】



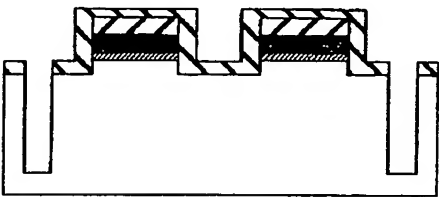
【図7】



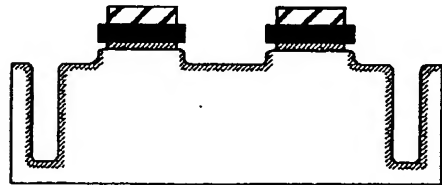
【図8】



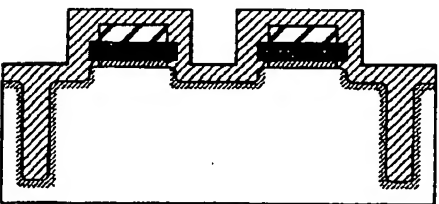
【図9】



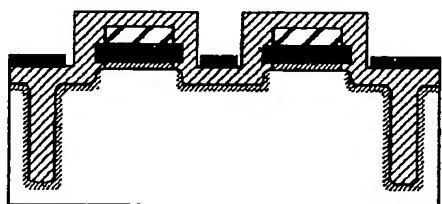
【図10】



【図11】



【図12】



【図13】

